

PAT-NO: JP363232360A  
DOCUMENT-IDENTIFIER: JP 63232360 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE  
THEREOF  
PUBN-DATE: September 28, 1988

INVENTOR-INFORMATION:  
NAME  
KANEDA, AIZO  
SERIZAWA, KOJI  
MITANI, MASAO  
MURAKAMI, HAJIME

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
HITACHI LTD N/A

APPL-NO: JP62063706

APPL-DATE: March 20, 1987

INT-CL (IPC): H01L023/50, H01L021/60

US-CL-CURRENT: 29/825, 257/787 , 438/FOR.375

ABSTRACT:

PURPOSE: To contain a large chip in a small package at a distance between the end of the chip and the end of the package 1mm or shorter by composing it of the chip having a bonding pad, leads connected by gang bonding to the pad, and resin for sealing the chip.

CONSTITUTION: Tabs for placing chips are eliminated at Ni/Sn-plated Cu-lead frames 1, and the ends of the frames 1 directed toward the

interior of a  
package are all concentrated at the short side of the chips  
2. The tip ends of  
the frames 1 are stepwisely formed in a gull-wing shape,  
and gang bonded  
simultaneously by a bonding pad 3 with gold bump and a TAB  
inner bonder of a  
hot press disposed at two short sides of the chip to be  
bonded. Thus, since it  
employs a structure in which only the ends of the chips are  
bonded, a distance  
between the end of the chip and the end of the package is  
set to 1mm or  
shorter.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-232360

⑤ Int. Cl.

H 01 L 23/50  
21/60

識別記号

庁内整理番号

K-7735-5F  
6918-5F

④ 公開 昭和63年(1988)9月28日

審査請求 未請求 発明の数 2 (全5頁)

④ 発明の名称 半導体装置及びその製造方法

② 特 願 昭62-63706

② 出 願 昭62(1987)3月20日

⑦ 発 明 者 金 田 愛 三 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦ 発 明 者 芹 沢 弘 二 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦ 発 明 者 三 谷 正 男 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦ 発 明 者 村 上 元 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

① 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

半導体装置及びその製造方法

## 2. 特許請求の範囲

1. ボンディングパッド部を有する半導体チップと、該ボンディングパッド部とギャングボンディングにより接続されたリード~~パッド~~と、該半導体チップを密封する樹脂とからなることを特徴とする半導体装置。

2. 特許請求の範囲第1項において、該ボンディングパッドがチップの短辺に沿って、配置されていることを特徴とする半導体装置。

3. 特許請求の範囲第1項において、該ボンディング接続される箇所のリード~~パッド~~が、該半導体チップ面に対して、ギャルウィング状に段差加工が施されていることを特徴とする半導体装置。

4. エッチングフレームを、搭載する半導体チップのボンディングパッド部に対応した形状にエッチング加工する工程と、該ボンディングパ

ッド部と接続する箇所のフレーム厚を該半導体チップの下側に配置されるフレーム厚に比べて厚くなるようにエッチングする工程と、該接続箇所上にパンプを形成し、該半導体チップのボンディングパッド部とギャングボンディングする工程と、該半導体素子を樹脂封止する工程とからなることを特徴とする半導体装置の製造方法。

5. 特許請求の範囲第4項において、リードフレームの接続箇所が、塑性加工によりパンプ状の盛り上げ加工を施してあることを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は半導体装置とその製造方法に係り、特にサイズの大きいチップを小型・薄型のパッケージに搭載・実装するのに好適な半導体装置およびその製造方法に関する。

## 〔従来の技術〕

従来、LSIチップをプラスチックパッケージに搭載する方法としては、パッケージの中央部に


チップを搭載するためのチップ寸法大のタブが配置され、チップ 4 辺にボンディングパッド部が配置されたチップを該タブ上に接着・搭載し、リードフレームの先端部を該チップの 4 辺方向に配置して、該パッド部と該リード先端部とを金線で相互結線される構造をとってきた。

しかし、この構造では、チップとリードフレームの先端部との距離を、金線が結線できる距離にまでとる必要があり、チップの端部とパッケージ端部との距離が大きくなり、大きなチップを小さなパッケージに収納するには不適であった。さらに、寸法の大きなタブがパッケージ中央部に配置されているために、熱応力によるタブ下のレジンの界面剥離と、それにもなう、タブ下にむかうレジンのクラックがしばしば経験され、温度サイクルや耐リフロークラック試験の結果を満足させるために好適な構造とは云えなかった。

この問題点に対処するため、特開昭 60-167454 に提案されているように、リードフレームの先端をすべてチップの短辺側に配置し、タブをなくし

法では、チップ端とパッケージ端の距離は少なくとも  $1 \sim 2 \text{ mm}$  以上必要であり、大チップを小さいパッケージに収納するための配慮がなされていなかった。さらに、チップの短辺 2 辺側にリードフレームの先端を配置して、フレーム上に絶縁フィルムを設置し、2 辺配置されたパッド部をワイヤボンディングにて相互結線される。いわゆるタブレスパッケージには、生産コスト増大という不都合点があった。

本発明の目的は、チップ端とパッケージ端との距離を  $1 \text{ mm}$  以下にして、大チップを小さいパッケージに収納することにより、あわせて、絶縁フィルム張りつけなどの生産工数およびコストの増大のない、高信頼・低コストに特徴のある半導体装置およびその製造方法を提供することにある。  
〔問題点を解決するための手段〕

上記目的は、ボンディングパッド部を有する半導体チップと、該ボンディングパッド部と、ギャングボンディングにより接続されたリード  と、該半導体チップを密封する樹脂とからなる

て、そのフレーム上に絶縁フィルムを接着し、そのフィルム上にチップをダイボンディングして、該チップのボンディングパッド部とリード先端部とを金線で相互結線する、いわゆるタブレスパッケージが提案されている。しかし、この方法では、絶縁フィルムを張りつける工程が増えるためのコスト増大、および、ワイヤボンディング時の絶縁フィルムの熱膨張によりボンディング精度が劣化するので、それに対処するためのボンディング位置認識と制御が必要となり、タクトタイムが増大するなどの不都合点があった。

さらに、チップ長辺側の寸法が大きいチップに対して、パッケージ長辺側の寸法をさらに大きくとらなければ金線を結線する際にチップ端部と金線とが接触するので、真の意味で大チップを搭載するのに好適な構造とは云えなかった。

〔発明が解決しようとする問題点〕

上記したように、チップの 4 辺にリードフレームの先端を配置して、ワイヤボンディングにて、ボンディングパッド部とを相互結線する従来の方

半導体装置及びエッチングフレームを、搭載する半導体チップのボンディングパッド部に対応した形状にエッチング加工する工程と、該ボンディングパッド部と接続する箇所のフレーム厚を該半導体チップの下側に配置されるフレーム厚に比べて厚くなるようにエッチングする工程と、該接続箇所上にパンプを形成し、該半導体チップのボンディングパッド部とギャングボンディングする工程と、該半導体素子を樹脂封止する工程とからなる半導体装置の製造方法により達成される。

〔作用〕

本発明によれば、チップ上のボンディングパッド部がチップの端部に沿って配置され、パンプをかいして、エッチングフレーム先端部を直接、チップの端部のみで接合する構造をとるために、チップ端部とパッケージ端部との距離を  $1 \text{ mm}$  以下に設計できる。

また、エッチングフレームの先端部はあらかじめプレス加工によってギャルウィング状に段差加工を施したのちにチップとパンプをかいして接合

されるか、又は、エッチングフレームの厚さを制御して、リードフレームとチップ表面は接触しないように構成されているから、絶縁フィルム張りつけなどの工程が必要でなく、工数が少なくて済む。

また、ウェーハ上でギャングボンディングのためのパンプ形成をすると、チップのコストは高くつくが、エッチングフレーム上にレジスト処理した後にめっき処理にてフレーム先端部にパンプを形成し、ギャングボンディングすることにより、ボンディングパッドがAl膜の通常のLSIチップを使うことができ、トータルコストが低減できる。

また、エッチングフレームを使うことによって、接続すべきフレーム先端部を100μm幅以下にまで細く設計でき、ギャルウィング状に段差加工を施すので、その弾性によって、チップとリードフレームとの熱膨張係数差による応力が緩和できる。パンプをAu(金)、リードフレーム材をSn/Niめっきした銅としたとき、その接合強度

Agペーストで接続してもよい。

〔実施例〕

〔実施例-1〕

以下、本発明の一実施例を第1図により説明する。第1図に示したように、Ni/SnめっきされたCuリードフレーム1には、従来のリードフレーム形状とは違い、チップを搭載するタブをなくす。パッケージの内部に向かうフレームの先端部をすべてチップ2の短辺側に集中する構造をとる。フレームの先端部は第2図の断面図に示されているようにギャルウィング状に段差加工を施し、チップの短辺側の2辺に配置された金パンプ付のボンディングパッド部3と熱プレス用のTAB用インナーボンダで一括にギャングボンディングして、接合した。その詳細な断面図を第3図に示した。段差加工の施こされたリードフレーム1は金パンプ8をかいして、ボンディングパッド部のAl/Ti/Pd3層、6と接合される。その後、従来のトランスファモールディング法によって球形石英フィラー入りエポキシレジン4で樹脂封止した。その後、

は50g/接点と測定され、通常のAlパッドと金ワイヤの接続強度より約一桁も強度が高く、製品の耐温度サイクル性は従来のワイヤボンディング品に比べて劣らない。

また、エッチングフレームを使うので、プレス加工フレームのようにエッジ部にバリがなく、温度サイクルあるいは製品のはんだリフロー時にエッジ部から発生するレジックラックの不良率を低減できる。

さらに、ハーフエッチフレームを使うことによって、段差加工をしなくとも、チップとフレームとは接触しない構造がとれる。この場合、ハーフエッチフレームの先端部をプレス加工によりパンプ状にもり上げ、その上に薄いAuメッキを施し、通常のLSIチップのパッド部と弾性率の小さい接着剤で接着・接合することによって、低コストでかつチップとフレームとの熱膨張差による熱応力の小さい接合が実現できる。さらに低コスト化をはかるためには、フレーム先端部のAuメッキを省略して、通常のダイボンディングに使用する

通常のプロセスである、2次キュア、リード切断・成形、半田ディップ工程を経て、パッケージを製作した。

〔実施例-2〕

第1図で示された如くの平面形状、つまり、搭載する半導体チップのボンディングパッド部に対応した形状に、エッチングフレームをエッチング加工し、その後、150μm厚のエッチング銅フレームを、先端部およびチップ下面と重ならない部分を除いてハーフエッチし、板厚75μmとした。その後、レジスト処理をへて、フレーム先端部にみに金めっきしてパンプを形成した。その後、所定のNi/Snめっきを施し、上面図が第1図の形状のフレーム1を得た。実施例-1と同様に、ボンディングパッドがチップの短辺側の2辺に配置されたチップ2(ボンディングパッド材質はAl)と上記エッチングフレーム1とを、TAB用インナーボンダで一括にギャングボンディングした。ボンディング部3の詳細を第4図に示す。フレーム側9に形成された金パンプは通常のAlパッド

10と接合され、ハーフエッチにより板厚が $75\mu\text{m}$ となっているので、チップ組立て後もリードフレームとチップ表面とは接触していなかった。その後、通常の工程のトランスファモールド工程、リード切断・成形、半田ディップ工程をへて、パッケージを製作した。

#### 〔実施例-3〕

$150\mu\text{m}$ 厚のエッチング銅フレームを、先端部およびチップ下面と重ならない部分を除いてハーフエッチし、板厚 $75\mu\text{m}$ とした。その後、プレス加工によってフレーム先端部を第5図に断面を示すようにパンプ状に中央部を約 $30\mu\text{m}$ 盛り上げた。その後、全面にNi/Snめっきを施し、先端パンプに部分Auめっき(約 $3\mu\text{m}$ )して、フレーム1を得た。ボンディングパッド10がチップの短辺側の2辺に配置されたチップをフェイスダウンにして、上記フレーム先端部に弾性率の低いゴム状シリコン系接着剤(熱硬化型)を滴下し、TAB用インナーボンダの熱プレスで一括に接合した。その後、所定の2次キュアを実施し実施例

分温度サイクル試験を実施した結果、いずれも1000サイクルまで断線が認められず標準ワイヤボンディング品と比較して差が認められなかった。〔発明の効果〕

本発明によれば、チップの端部とパッケージ端部との距離を $10\text{mm}$ 以下に設計できるので、大きなチップを小さなパッケージに実装できる効果がある。

さらに、チップ表面とフレームとは接触しないように、パッド部とフレームとが一括にギャングボンディングされるので、絶縁膜をはりつける工程やダイボンディング工程が省略でき、効率よく生産できる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す、上面透視図、第2図は第1図の縦断面図、第3図はチップとフレーム先端部との接合部の拡大断面図、第4図はパンプをフレーム先端部に形成した実施例を示す接合部の拡大断面図、第5図はフレーム先端部をプレス加工によって盛り上げた後、Auめっきし

たフレームとパッド部を軟質接着で接合した実施例を示す、接合部の断面図である。

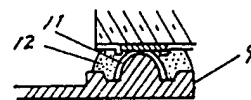
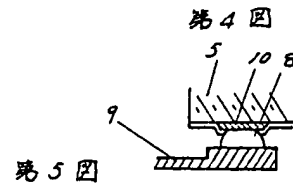
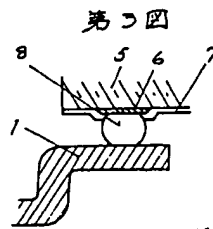
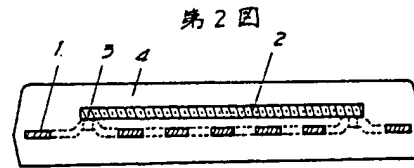
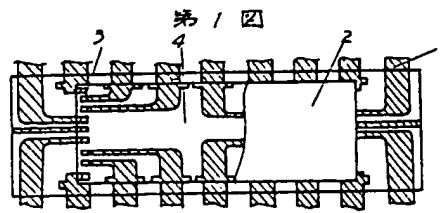
#### 〔実施例-4〕

$150\mu\text{m}$ 厚のエッチング銅フレームを、先端部およびチップ下面と重ならない部分を除いてハーフエッチし、板厚 $75\mu\text{m}$ とした。その後、プレス加工によってフレーム先端中央部をパンチしてパンプ状に約 $30\mu\text{m}$ 盛り上げた。その後、全面にNi/Snめっきを施こして、フレーム1を得た。ボンディングパッド10がチップの短辺側の2辺に配置されたチップをフェイスダウンにして、上記フレーム先端部に、弾性率が低く、かつ、Ag粉が分散されたシリコンゴム系Agペースト材を滴下し、TAB用インナーボンダの熱プレスで一括に接合した。所定の2次キュアを実施したのち、実施例1と同じ工程を経て、パッケージを製作した。(モールド時はフェイスアップ)

実施例1~4ともに、チップ短辺側にボンディング部を2辺配置したので、短辺側チップ端とパッケージ端部との距離が $0.5\text{mm}$ に実装できた。実施例1~4で得た試作品を $-55^{\circ}\text{C}$ ~ $150^{\circ}\text{C}$ の各30

たフレームとパッド部を軟質接着で接合した実施例を示す、接合部の断面図である。

1…リードフレーム、2…LSIチップ、3…ボンディング部、4…モールドレジソ、5…Si、6…Al/Ti/Pd3層パッド、7…バッシン膜、8…Auパンプ、9…ハーフエッチフレーム、10…Alパッド、11…Auメッキ、12…軟質接着剤。



- |                |             |                 |
|----------------|-------------|-----------------|
| 1... リードフレーム   | 2... LSIチップ | 3... ボンディング部    |
| 4... レジン       | 5... Si     | 6... Al/Ti/Pd   |
| 7... パッシベーション膜 | 8... Auバンパ  | 9... ハーフエッチフレーム |
| 10... Alパッド    | 11... Auメッキ | 12... 接着剤       |